# Eksamen 2023

Af Jesper Graungaard Bertelsen, AU-ID: au689481

Indholdsfortegnelse

[Eksamen 2023 1](#_Toc167901615)

[a. (10%) Sketch a static CMOS gate to implement the following equation. You may assume you have both true and complementary versions of the inputs available. If it is possible, simplify the equation to reduce the number of transistors. 2](#_Toc167901616)

[b. Design the size of transistors in a way that tpdr=tpdf. Explain the different steps that you took to reach the final answer. 4](#_Toc167901617)

[6](#_Toc167901618)

[c. First, convert the circuit to its RC model. Then, estimate tpd of the designed circuit using the Elmore delay model. Suppose that a unit transistor has R=10k and C=0.1fF and your circuit is deriving a 10fF capacitance (a 10fF capacitor is connected to the output). 7](#_Toc167901619)

[d. Simuler I LTSpice og tjek at , hvis det ikke er, så ret på designet så det bliver bedre. 10](#_Toc167901620)

[e. Find den kombination som sørger for den største dynamic power consumption. Find så den dynamiske power til det tidspunkt. 11](#_Toc167901621)

## (10%) Sketch a static CMOS gate to implement the following equation. You may assume you have both true and complementary versions of the inputs available. If it is possible, simplify the equation to reduce the number of transistors.

Så jeg starter med at reducere en del med distributioner.

Et billede, der indeholder Font/skrifttype, typografi, kalligrafi, hvid

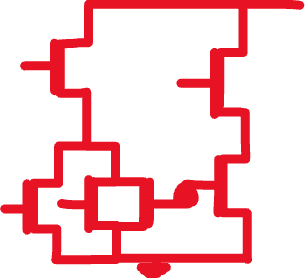
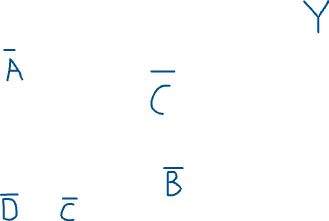
Automatisk genereret beskrivelseMed en boolean algebra simplifier får jeg det samme resultat:

Jeg starter med pull down netværket:

Med demorgans får jeg

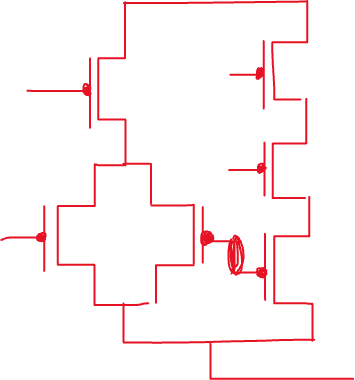
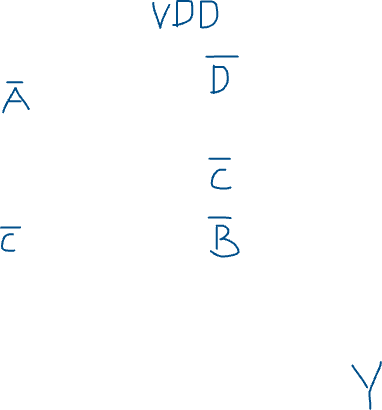
Et billede, der indeholder Font/skrifttype, tekst, hvid, typografi

Automatisk genereret beskrivelseSom ender i 12 produkter. Jeg simplifier den bare med redskabet.

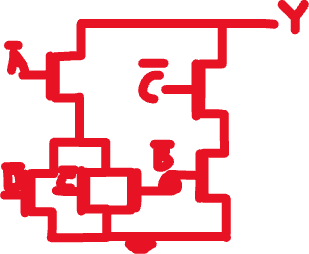
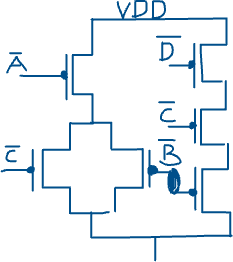


Så til pull up netværket:

For pmos så bliver alle signalerne inverteret så for at få A, så skal jeg sende ind



Så til cmos netværket:



## Design the size of transistors in a way that tpdr=tpdf. Explain the different steps that you took to reach the final answer.

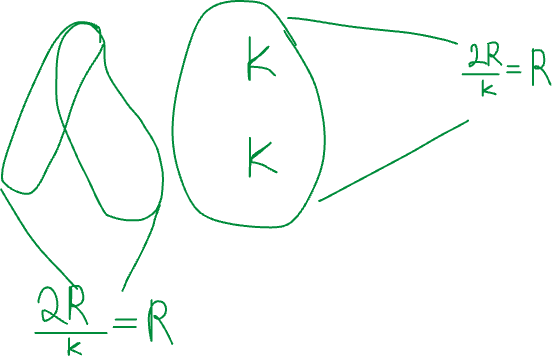
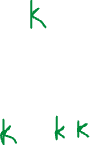
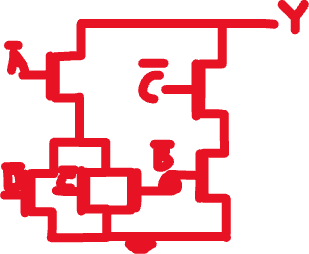
Så sådan som jeg gør det, så ser jeg på det værste scenarie for hvilke router outputtet kan følge i henholdsvis nmos og pmos netværkene.

Så ser jeg på mobiliteten i de router og ser på hvordan jeg kan få den mindste mulige resistans, helst en enhedsresistans.

Og strømmen er afhængig af , hvor => at nmos transistorerne har 2 gange så meget mobilitetet ved samme bredde, som pmos transistorerne.

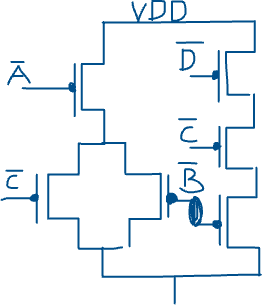
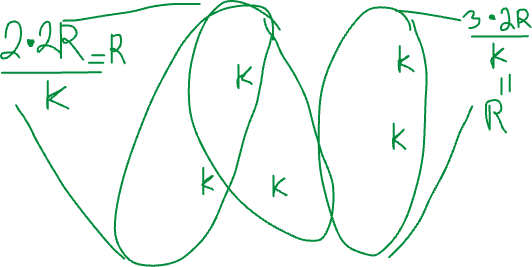
Så ved serie forbindelser, så prøver jeg at finde en *k*, så summen af alle resistorer giver R.

Nu først til pull down netværket.



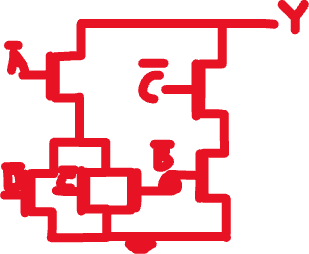
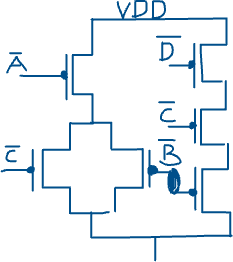
Reelt set, så har netværket mere resistans med parallel forbindelserne, som hvis der kun havde været en udgang… For simpelthedens skyld tildeles de samme bredde som havde der kun været en vej.

Nu til pull up netværket.



Så får jeg til sidst:

## 



Hvor faktoren bruges for strømmen som

## First, convert the circuit to its RC model. Then, estimate tpd of the designed circuit using the Elmore delay model. Suppose that a unit transistor has R=10k and C=0.1fF and your circuit is deriving a 10fF capacitance (a 10fF capacitor is connected to the output).

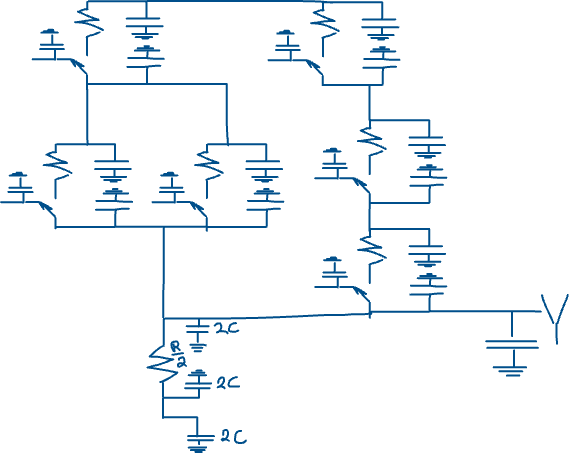
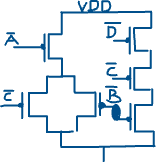
En RC convertering for en mosfet findes som:

Jeg har designet kredsløbet til at have samme tpdf som tpdr. Af enkelhedens skyld så beregner jeg så kun elmore delayet for en af dem.

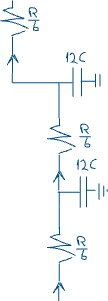
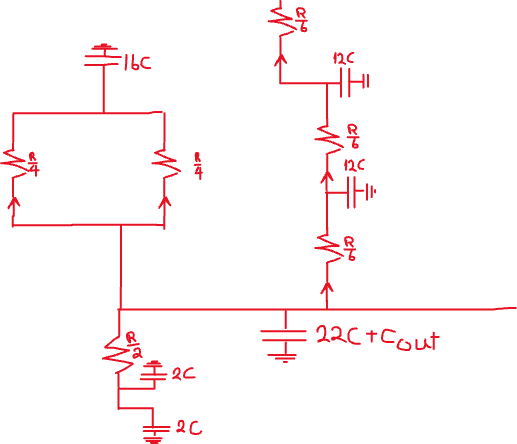
Et billede, der indeholder diagram, tekst, skærmbillede, linje/række

Automatisk genereret beskrivelse

‘’’



Jeg ser worst case som at D har været åbent i pmos netværket og nu skal der altså oplades for hele stigen nedad. Jeg ser det også som når A er åbent, og der ses kapacitans fra mange af andenvejens kondensatorer, men den er stadigvæk åbent pga. A. Til gengæld er A’s nmos port lukket, så der ser systemet også noget capacitans fra.

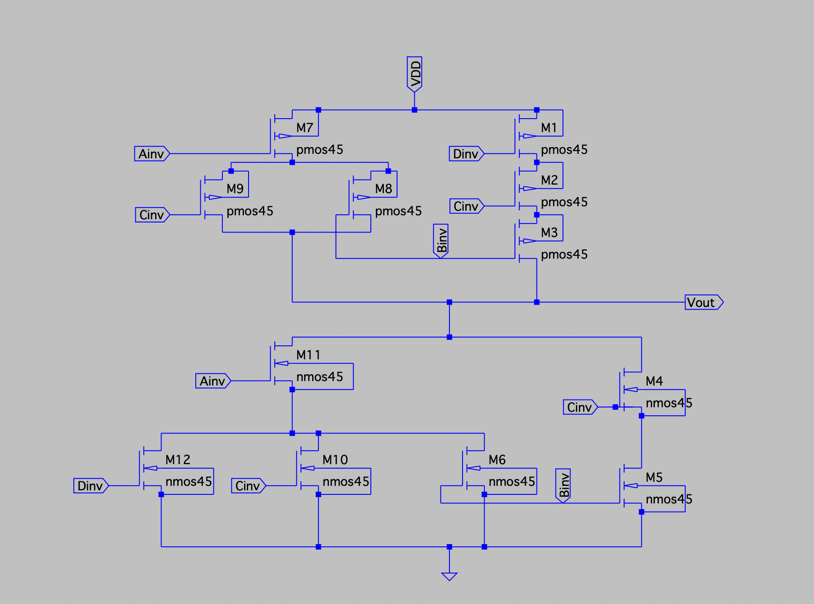


===========

===========

## Simuler I LTSpice og tjek at , hvis det ikke er, så ret på designet så det bliver bedre.

Mit schematic.

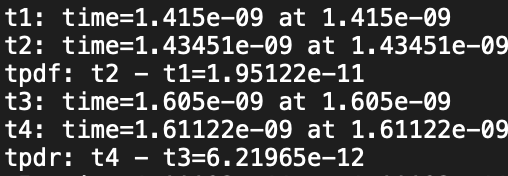


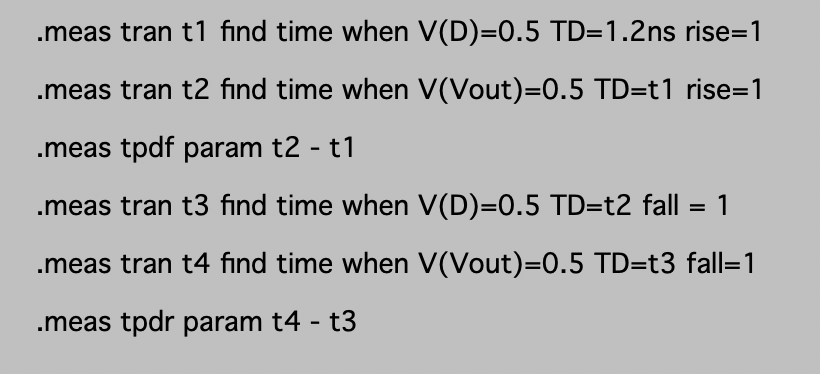
Et billede, der indeholder skærmbillede

Automatisk genereret beskrivelse



Jeg prøver at finde rise og fall time af den første impuls. Den virker mindst påvirket af de andre HIGH forbindelser.

Mine measurements & fund:



Det eksempel jeg beregnede elmore delayet ud på fra, var fra 0110 -> 0111, som er den præcis samme, som jeg nu har målt over.

Forskellen mellem min teori og målingen er meget tæt på at være en faktor 10. Gad vide om det er tilfældigt eller ej.

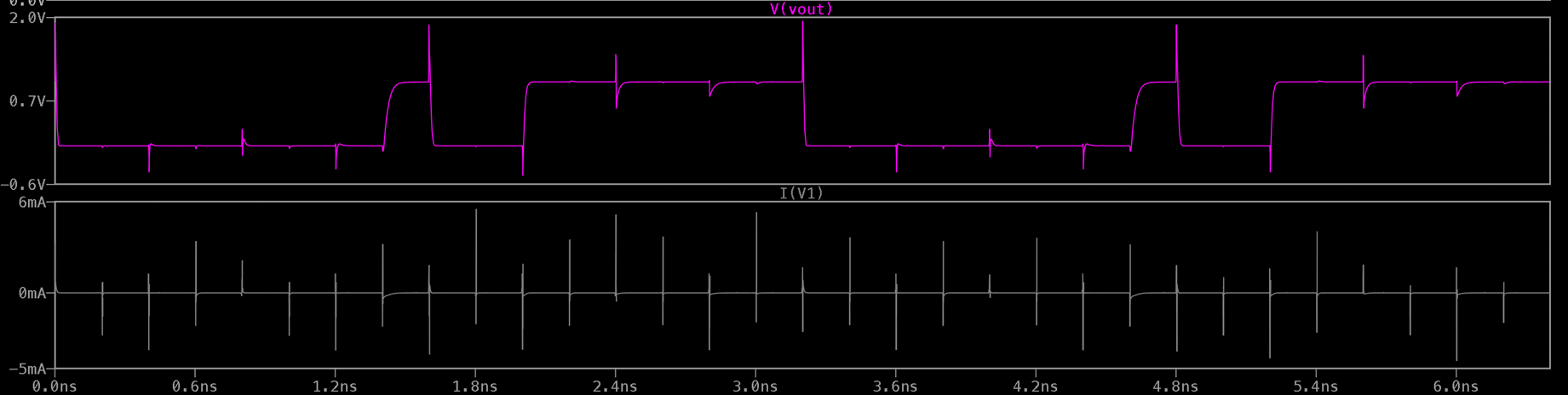
Jeg får altså

=======================

=======================

Det virker som om, at det ekstra delay kommer, da BCD -> 000 og A -> 1 på samme tid. Jeg har prøvet at rodde med bredderne på nmosne, men delayet virker fast.

## Find den kombination som sørger for den største dynamic power consumption. Find så den dynamiske power til det tidspunkt.

Jeg ser på grafen fra 2 perioder.



Effekten kommer fra den spænding der er lagt på systemet ganget med den leakage strøm som findes i systemet.

Ud fra det grafiske så kigger jeg efter et tidspunkt hvor lekage strømmen til et skift i outputtet.

Det ligner umiddelbart, at det er til det fall tidspunkt jeg allerede har beregnet tpdf fra, at jeg ser det største spike i strøm.

Mit measurement og resultat:

Jeg får at den højeste dynamiske strøm da er:

===============

===============

Som er ret meget.

Den foregår fra:

===================

===================